

(Concise explanations in relevancy)

Japanese laid-open patent publication No. 10-107042

Laid-open on April 24, 1998

Title of the invention : Compound Semiconductor Device

It is disclosed a conventional monolithic microwave integrated circuit. Such a conventional integrated circuit has the following problems. The hetero-junction bipolar transistor and the metal insulator metal capacitor are separately formed using separate sets of masks. This means that the total number of the necessary masks and fabrication processes are large. Different three metals are used for emitter, base and collector of the hetero-junction bipolar transistor. This makes the fabrication processes complicated. It is desired to avoid any further increase in the number of the fabrication processes.

**COMPOUND SEMICONDUCTOR DEVICE**

Patent Number: JP10107042  
Publication date: 1998-04-24  
Inventor(s): ASANO TETSUO  
Applicant(s):: SANYO ELECTRIC CO LTD  
Requested Patent: JP10107042  
Application Number: JP19960257093 19960927  
Priority Number(s):  
IPC Classification: H01L21/331 ; H01L29/73 ; H01L29/205  
EC Classification:  
Equivalents:

**Abstract**

**PROBLEM TO BE SOLVED:** To provide a compound semiconductor device which can reduce the resistance value fluctuation of a resistance element incorporated in a microwave monolithic IC and can be manufactured easily with a high yield.

**SOLUTION:** A compound semiconductor device is constituted so that a heterojunction bipolar transistor 30 and a resistance element 31 can be formed on a semi-insulating semiconductor substrate 11. The element 31 is composed of a resistor 19 made of the same material as that used for the sub-collector layer 12 of the transistor 30 and the resistor 19 of the sub-collector layer 12 has a thin etching stop layer 20 made of a different material on the surface on a collector layer 13 side. The etching stop layer 20 has transition layers 20B and 20C the compositions of which continuously change to that of the collector layer 13 or sub-collector layer 12 on one or both sides of the different material layer 20A.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-107042

(43)公開日 平成10年(1998)4月24日

(51)Int.Cl.<sup>6</sup>  
H 01 L 21/331  
29/73  
29/205

識別記号

F I  
H 01 L 29/72  
29/205

審査請求 未請求 請求項の数1 O L (全 6 頁)

(21)出願番号 特願平8-257093

(22)出願日 平成8年(1996)9月27日

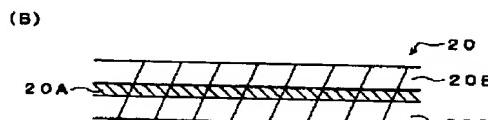
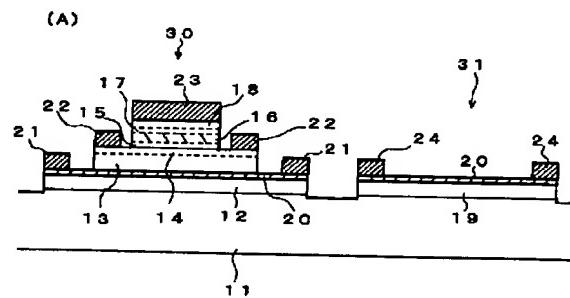
(71)出願人 000001889  
三洋電機株式会社  
大阪府守口市京阪本通2丁目5番5号  
(72)発明者 浅野 哲郎  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内  
(74)代理人 弁理士 安富 耕二 (外1名)

(54)【発明の名称】 化合物半導体装置

(57)【要約】

【課題】 MMICに内蔵された抵抗素子の抵抗値のバラツキを減らし、その製造を容易なものとして、良好な製造歩留で製造することができる化合物半導体装置を提供する。

【解決手段】 ヘテロ接合バイポーラトランジスタ30と抵抗素子31とを半絶縁性化合物半導体基板11上に形成した化合物半導体装置において、前記抵抗素子31は前記ヘテロ接合バイポーラトランジスタのサブコレクタ層と同一の材質の抵抗体19からなるものであり、前記サブコレクタ層12, 19はコレクタ層側表面に異材質の薄いエッティングストップ層20を備え、該エッティングストップ層は異材質層20Aの片側又は両側に、コレクタ層、又は、サブコレクタ層の組成に連続的に変化する遷移層20B, 20Cを設けた。



- |                |                   |
|----------------|-------------------|
| 1.1 半絶縁性基板     | 20A 異材質層          |
| 1.2 サブコレクタ層    | 20B, 20C 遷移層      |
| 1.3 コレクタ層      | 21, 22, 23, 24 電極 |
| 1.4 ベース層       | 30 ヘテロ接合バイポーラ     |
| 1.6 エミッタ層      | トランジスタ            |
| 1.9 抵抗体        | 31 抵抗素子           |
| 20 エッティングストップ層 |                   |

## 【特許請求の範囲】

【請求項1】 ヘテロ接合バイポーラトランジスタと抵抗素子とを半絶縁性化合物半導体基板上に形成した化合物半導体装置において、前記ヘテロ接合バイポーラトランジスタは、コレクタ層と、該コレクタ層と同一導電型で高濃度のサブコレクタ層とを備え、前記抵抗素子は前記ヘテロ接合バイポーラトランジスタのサブコレクタ層と同一の材質からなるものであり、前記サブコレクタ層はコレクタ層側表面に異材質のエッチングトップ層と備え、該エッチングトップ層はその片側又は両側に、コレクタ層、又は、サブコレクタ層のバンドギャップ又は組成に連続的に変化する遷移層を設けたことを特徴とする化合物半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、化合物半導体装置に係り、特にヘテロ接合バイポーラトランジスタ(HBT)と抵抗素子とを、半絶縁性化合物半導体基板上に搭載したマイクロウェーブモノリシックICに関する。

## 【0002】

【従来の技術】近年、携帯電話等の超高周波帯で動作する機器の普及に伴い、GHz帯で動作する高出力素子の開発が要請されている。ヘテロ接合バイポーラトランジスタ(HBT)は、例えばエミッタ/ベース接合に、AlGaAs又はGaInP/GaAs等の異材質の接合を用いることにより、電子の移動度が高く且つエミッタのバンドギャップがベースのバンドギャップより大きいことから電子の注入効率が高く取れる。このためGHz帯で数W程度の高出力特性が得られ、上記要請に適合するものとして注目されている。

【0003】例えば、文献(IEEE ELECTRON DEVICE LETTERS, Vol 14, No10, October 1990PP493~495)、特許第2522280号公報等によれば、化合物半導体材料を用いたヘテロ接合バイポーラトランジスタの一例が開示されている。これは半絶縁性GaAs基板上にn+-GaAsサブコレクタ層、n-GaAsコレクタ層、p+-GaAsベース層、n-AlGaAsエミッタ層、n+-GaAsエミッタコンタクト層等が積層されている。

【0004】ところで、このようなヘテロ接合バイポーラトランジスタに抵抗素子を組み込み、モノリシックIC化される傾向にある。モノリシックIC化される場合には、サブコレクタ層は不純物濃度が高いため、AuGe/Ni/Au等の配線金属と容易にオーム接觸がとれるので、抵抗素子の抵抗体としてはサブコレクタ層が所要の寸法にパターン加工されて用いられる。又、サブコレクタ層は不純物濃度の制御も容易であるため、シート抵抗は数十Ω/□程度に制御でき、パターン形状の選択により任意の抵抗値の抵抗体を形成することが可能である。

【0005】図3は、係る従来のヘテロ接合バイポーラトランジスタと抵抗素子とを集積化したマイクロウェーブモノリシックICの断面構造の一例を示す。半絶縁性GaAs基板11上にヘテロ接合バイポーラトランジスタ30と抵抗素子31とが形成されている。ヘテロ接合バイポーラトランジスタ30は、n+型GaAs層からなるサブコレクタ層12上に、n型GaAs層からなるコレクタ層13が形成され、その上層はp型GaAs層からなるベース層14が形成され、更にその上層には異種材料であるn型AlGaAs層からなるエミッタ層16が形成されている。電極21, 21はコレクタ層の取り出し電極であり、電極22, 22はベースの取り出し電極であり、電極23はエミッタ層の取り出し電極である。

【0006】一方で抵抗素子31は、ヘテロ接合バイポーラトランジスタのサブコレクタ層12と同一材質の層を用いて抗体19が形成され、電極24, 24がその取り出し電極となっている。尚、この図においては、トランジスタと抵抗素子の接続配線は図示が省略されている。

【0007】図4は、ヘテロ接合バイポーラトランジスタ及び抵抗素子を形成する前の化合物半導体基板を示す。この基板は、下側より半絶縁性GaAs基板11上に、サブコレクタ層となるn+型GaAs層12、コレクタ層となるn型GaAs層13、ベース層となるp型GaAs層14、エミッタ層となるn型AlGaAs層16等がそれぞれエピ成長により積層されている。図3に示すヘテロ接合バイポーラトランジスタ30及び抵抗素子31は各エピ成長層が段階的にホトリソグラフィにより、パターニングされ、エッチングされてメサ状に形成される。

## 【0008】

【発明が解決しようとする課題】しかしながら、ヘテロ接合バイポーラトランジスタのサブコレクタ層を用いて抗体19を形成するためには、エッチングによりその上層であるコレクタ層となるn型GaAs層13を除去しなければならない。ところが、コレクタ層13とサブコレクタ層12とはいずれも同材質のn型GaAs層から構成されており、その濃度が異なるのみである。このため、エッチングの終点検出が難しく、オーバーエッチになると抗体19の厚みが薄くなりすぎ、抵抗値を狂わせる原因となる。また、アンダーエッチの場合にはn型GaAs層が残ることになり、抵抗の取り出し電極24, 24と抗体19とのオーム接觸が取れなくなり、同様に抵抗値を狂わせる原因となる。

【0009】このため、従来のヘテロ接合バイポーラトランジスタと抵抗素子とを集積したマイクロウェーブモノリシックICにおいては、抵抗素子の抵抗値のバラツキが大きく、その許容範囲を逸脱する場合もあり、製造歩留の低下の一因となっていた。

【0010】本発明は上述した事情に鑑みて為されたもので、ヘテロ接合バイポーラトランジスタと抵抗素子を集積したマイクロウェーブモノリシックICにおいて、抵抗素子の抵抗値のバラツキを減らし、その製造を容易なものとして、良好な製造歩留で製造することができる化合物半導体装置を提供することを目的とする。

#### 【0011】

【課題を解決するための手段】本発明の化合物半導体装置は、ヘテロ接合バイポーラトランジスタと抵抗素子を集積したマイクロウェーブモノリシックICにおいて、前記ヘテロ接合バイポーラトランジスタは、コレクタ層と、該コレクタ層と同一導電型で高濃度のサブコレクタ層とを備え、前記抵抗素子は前記ヘテロ接合バイポーラトランジスタのサブコレクタ層と同一の材質からなるものであり、前記サブコレクタ層はコレクタ層側表面に異材質の薄いエッチングストップ層を備え、該エッチングストップ層はその片側又は両側に、コレクタ層、又は、サブコレクタ層の組成に連続的に変化する遷移層を設けたことを特徴とする。

【0012】上述した本発明の構成によれば、抵抗体を構成するトランジスタのサブコレクタ層がそのコレクタ層側表面に異材質の薄いエッチングストップ層を備えたので、コレクタ層をエッチングするエッチャントは、サブコレクタ層を構成する半導体層をエッチングしないように、異材質のエッチングストップ層でエッチングの進行を止めることができる。このようなエッチャントのエッチング材質の選択性により、コレクタ層のエッチングはスムーズに進行して、コレクタ層のエッチングが終了すると異材質のエッチングストップ層が表面に露出する。この層はエッチングされないので、当該エッチャントによるエッチングはそこで終了させることができる。これにより、オーバエッチでサブコレクタ層、即ち、抵抗体の厚みが変動することなく、又、アンダーエッチによるコレクタ層の残留物で接触不良が生じることなく、サブコレクタ層が本来有するシート抵抗値に基づく抵抗体の抵抗値が得られる。

【0013】尚、エッチングストップ層はコレクタ層及びサブコレクタ層と異材質であるので、その部分でバンドギャップが異なる。しかしながら、その片側又は両側に、その組成がエッチングストップ層の組成からコレクタ層又はサブコレクタ層の組成に連続的に変化する遷移層を設けたので、バンドギャップを滑らかに連続的にエッチングストップ層の周辺で変化させることができる。このため、ドリフト電界により走行してくる電子はそのバンドギャップの変化部分を滑らかに通り抜けることができる。このため、異材質のエッチングストップ層の存在にもかかわらず、ヘテロ接合バイポーラトランジスタのコレクタ抵抗の増大を防止でき、高周波特性が劣化しないようにすることができる。又、エッチングストップ層は抵抗素子の抵抗体表面にも存在するが、不純物濃度

をサブコレクタ層と合わせることにより、良好なオーム接觸が得られ、抵抗値の上昇という問題を生じない。

#### 【0014】

【発明の実施の形態】以下、本発明の一実施形態について図面を参照しながら説明する。

【0015】図1(A)は、本発明の一実施形態の化合物半導体装置の一断面構成を示し、(B)は(A)におけるエッチングストップ層20の拡大断面を示す。半絶縁性GaAs基板11上にヘテロ接合バイポーラトランジスタ30と抵抗素子31とが搭載されている点は、従来の技術と同様である。ヘテロ接合バイポーラトランジスタ30のサブコレクタ層と抵抗素子31の抵抗体19とはコレクタ層と同材質のGaAsで構成されている。この層は、n+型の $3 \times 10^{18}/\text{cm}^3$ 程度の不純物濃度を有したもので、厚さ10,000Å程度である。

【0016】サブコレクタ層12のコレクタ層側表面には、異材質であるGaInP又はAlGaAsのエッチングストップ層20を備えている。この層は、異材質層20AであるGa0.5In0.49P又はAl0.25Ga0.75As層と、その組成が異材質層20Aの組成からコレクタ層又はサブコレクタ層の組成であるGa1.00As1.00に滑らかに連続的に変化する遷移層20B, 20Cとから構成されている。異材質層20Aの厚さは100Å程度と極めて薄く、遷移層20B, 20Cの厚さはそれぞれ300Å程度である。各層20A, 20B, 20Cの不純物濃度は $3 \times 10^{18}/\text{cm}^3$ 程度のn+型であり、サブコレクタ層12と同一の濃度である。このエッチングストップ層20は、GaAs層をエッチングするエッチャントの選択性により、コレクタ層13のエッチングがサブコレクタ層12に進行するのを止めるためのものである。

【0017】コレクタ層13及びベース層14は、共にGaAsで構成され、その厚さはコレクタ層13は5,000Åであり、ベース層14は1,000Åである。コレクタ層は $5 \times 10^{16}/\text{cm}^3$ のn型の不純物濃度を有し、ベース層は $4 \times 10^{19}/\text{cm}^3$ のp型の不純物濃度を有する。

【0018】エミッタ層16はベース層14とヘテロ接合を形成する異材質の層であり、ベース層のGaAsよりバンドギャップの大きなAlGaAsが用いられている。具体的には、Al0.25Ga0.75Asのn型の $4 \times 10^{17}/\text{cm}^3$ 程度の不純物濃度を有する層であり、その両側にGaAsへの遷移層15, 17を有している。それぞれの遷移層15, 17の厚みは300Å, 500Å程度である。

【0019】エミッタ層の最上層はキャップ層18であり、材料はGaAsであり、不純物濃度 $5 \times 10^{18}/\text{cm}^3$ のn+型であり、厚さが1,000Å程度である。

50 この層はAuGe/Ni/Auからなるエミッタ電極2

3とオーミック接触を取るための層である。ベース層14にはTi/Pt/Auからなるベース電極22, 22が配置され、サブコレクタ層12にはAuGe/Ni/Auで構成されるコレクタ層の取り出し電極21, 21が配置されている。抵抗体19の両端部にもAuGe/Ni/Auからなる取り出し電極24, 24が配置されている。

【0020】サブコレクタ層19の本来有するシート抵抗値は、エピ成長技術の進歩により、1%程度の誤差で制御可能である。上記構造によれば、コレクタ層のエッティングの際にサブコレクタ層（抵抗体19）がエッティングされることが無いので、抵抗素子31の抵抗値はサブコレクタ層12のシート抵抗値と横方向のホトリソグラフィの誤差のみで決まってくる。従って、抵抗値のバラツキを小さく抑え、良好な再現性で製造することができる。又、トランジスタ30は化合物半導体のヘテロ接合構造を有するので、GHz帯で1~2W程度の高出力特性を得ることが可能である。

【0021】次にこの化合物半導体装置の製造方法について説明する。まず図2(A)に示す半絶縁性基板上に各種化合物半導体材料をエピタキシャル成長した基板を準備する。この基板は、半絶縁性GaN基板11上にサブコレクタ層12となるGaN層がエピ成長され、そのコレクタ側表面に薄いエッティングストップ層20となるGaNIP又はAlGaN層がエピ成長され、更にその上層にコレクタ層13となるn型GaN層がエピ成長され、更にその上層にベース層14となるp型GaN層がエピ成長されたものである。エッティングストップ層20は、GaNIP又はAlGaN層（異材質層）20Aと、この両側に積層されたGaN層へ組成が連続的に変化する遷移層20B, 20Cとから構成されている。

【0022】更にベース層14の上層にはGaN層からAlGaN層への遷移層15がエピ成長され、更にその上層にはヘテロ接合バイポーラトランジスタの核心となるベース層と比較してバンドギャップの大きなn型AlGaN層がエピ成長され、その上層はGaN層への遷移層16がエピ成長され、更にその上層にはキャップ層18となるn+型GaN層がエピ成長されている。

【0023】次に図2(B)に示すように、ホトリソグラフィでパターニングして、エミッタ領域を形成するための層15, 16, 17, 18のメサエッチを行う。次に、図2(C)に示すようにベース層14及びコレクタ層13を同様にホトリソグラフィでパターニングして、メサエッチを行う。

【0024】このエッティングは、ベース層14及びコレクタ層13の材料であるGaNをエッティングし、エッティングストップ層20を構成するInGaP又はAlGaN層をエッティングしない、選択性を有するエッチャ

ントを用いる。例えばGaNをエッティングし、InGaPをエッティングしないエッチャントとしては、硫酸系或いはリン酸系のエッチャントが好適である。また、GaNをエッティングし、AlGaNをエッティングしないエッチャントとしては、クエン酸系のエッチャントがある。これらの選択性を有するエッチャントを用いることにより、コレクタ層13のエッティングが十分に進行すると、エッティングストップ層20が表面に露出し、サブコレクタ層12をエッティングすることなく、そこでエッティングの進行を完全に停止することができる。

【0025】次にサブコレクタ層12及び抵抗体19を形成するためのメサエッチを行う。この工程もレジスト塗布後ホトリソグラフィでパターニングして、まずエッティングストップ層20をエッティングするエッチャントを用いてこの部分を除去してから、GaN層からなるサブコレクタ層12をエッティングするエッチャントを用いてメサエッチを行う。

【0026】次に図1に示すように、エミッタ電極、コレクタ電極、抵抗電極等の電極付けを行う。これはホト20レジストを塗布後、ホトリソグラフィでパターニングを行い、AuGe/Ni/Auを蒸着し、リフトオフにより所定の電極22, 23, 24を形成する。そして、アロイにより半導体層との接触を確実にする。この際、サブコレクタ層12及び抵抗体19の表面には、n型GaNIP又はAlGaN層からなる層20が存在するが、この層の不純物濃度はサブコレクタ層12と等しいため、抵抗値の増大等の問題を生じない。

【0027】次にベース電極の電極付けを行う。これも同様にホトリソグラフィでレジストに所定のパターンを30形成後、Ti/Pt/Auを蒸着し、リフトオフにより所定の電極21を形成し、アロイにより半導体層との接触を確実にする。

【0028】更に、全面にCVDで例えばSiN膜を2, 000Å程度被着して、ホトリソグラフィによりコントラクト部分を開口するパターニングを行う。更に同様にホトリソグラフィにより配線パターンのパターニングを行った後に、Ti/Pt/Auを蒸着し、リフトオフにより配線電極及びボンディングパッド電極等を形成する。これにより、ヘテロ接合バイポーラトランジスタと40抵抗素子間の配線接続等が行われ、マイクロウェーブモノリシックICが完成する。

【0029】尚、以上の実施形態は、エッティングストップ層20を異材質層20Aとその両側に遷移層20B, 20Cを設けたものであるが、遷移層はコレクタ層側又はサブコレクタ層側の片側のみに設けるようにしてもよい。

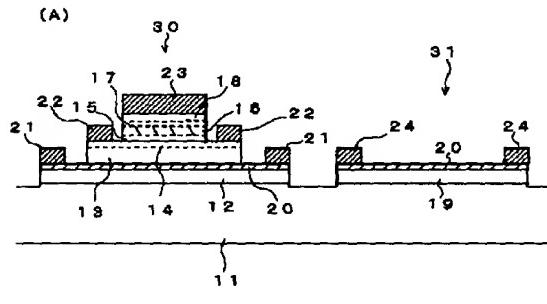
【0030】又、コレクタ層、サブコレクタ層としてGaNを用い、エッティングストップ層にInGaP又はAlGaN層からなる異材質を用いた例について説明しつたが、本発明の趣旨はこれに限定されるものではない。

コレクタ層を構成する材料をエッチングし、エッティングストップ層を構成する材料をエッティングしない選択性を有するエッチャントを用いることが可能であり、異材質のエッティングストップ層でコレクタ層のエッティングの終了を容易に且つ確実に行うことができる材料の組合せであれば、本発明の趣旨が適用可能なことは勿論である。このように、本発明の趣旨を逸脱することなく、種々の変形実施例が可能である。

## 【0031】

【発明の効果】本発明は上述したようにヘテロ接合バイポーラトランジスタと抵抗素子とを半絶縁性化合物半導体基板上に形成した半導体装置において、ヘテロ接合バイポーラトランジスタのコレクタ層とサブコレクタ層の間に異材質のエッティングストップ層を設けたものである。これにより、サブコレクタ層を用いて抵抗素子を形成する際に、サブコレクタ層をエッティングすることなくコレクタ層のみを完全にエッティング除去することができる。従って、サブコレクタ層と同材質の材料をもって形成される抵抗体のシート抵抗の変動を抑えることができ、容易に抵抗値が許容範囲に入る抵抗素子を形成することができる。

【図1】



11 半絶縁性基板	20A 異材質層
12 サブコレクタ層	20B, 20C 遷移層
13 コレクタ層	21, 22, 23, 24 電極
14 ベース層	30 ヘテロ接合バイポーラトランジスタ
15 エミッタ層	
16 抵抗体	
17 抵抗素子	
20 エッティングストップ層	

【0032】サブコレクタ層とコレクタ層の間に異材質のエッティングストップ層を有するが、この層はその組成がコレクタ層又はサブコレクタ層の組成に連続的に変化する遷移層を備えるので、この部分でバンドギャップを滑らかに連続的に変化させることができる。従ってコレクタ領域をドリフト電界で高速走行する電子を、滑らかにバンドギャップの変化部分を通り抜けさせることができる。これにより、コレクタ抵抗の増大を防止することができ、バンドギャップの異なる異材質の間接に伴う高周波特性の劣化を防止することができる。

【0033】それ故、G Hz帯でワットオーダーの出力を有するヘテロ接合バイポーラトランジスタと抵抗素子とを搭載したマイクロウェーブモノリシックICを、容易に、且つ良好な歩留で製造することができる。

## 【図面の簡単な説明】

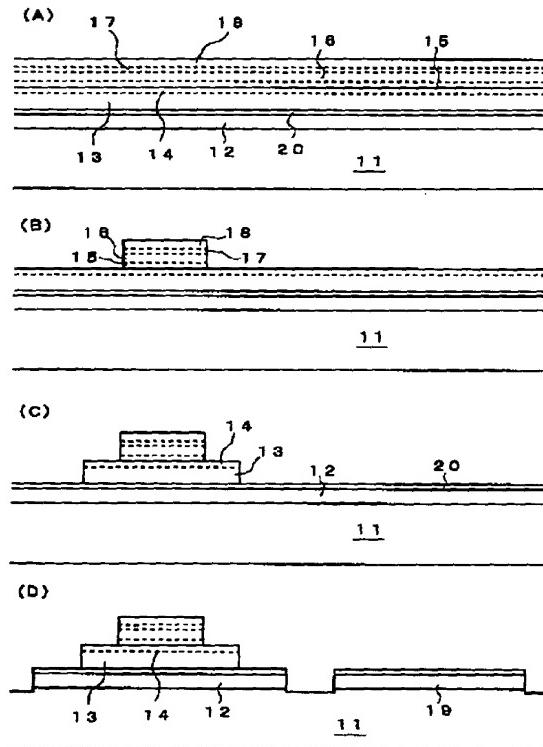
【図1】(A) 本発明の一実施形態の化合物半導体装置の断面図、(B) そのエッティングストップ層の拡大図。

【図2】上記化合物半導体装置の製造工程を示す説明図。

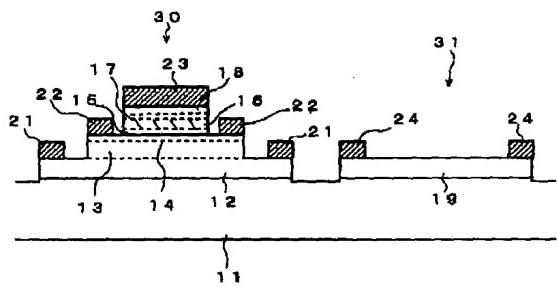
【図3】従来の化合物半導体装置の断面図。

【図4】従来のエピ成長基板の説明図。

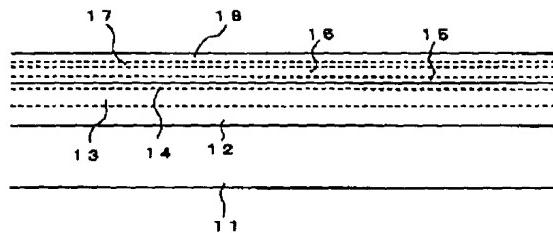
【図2】



【図3】



【図4】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-107042  
(43)Date of publication of application : 24.04.1998

(51)Int.Cl. H01L 21/331  
H01L 29/73  
H01L 29/205

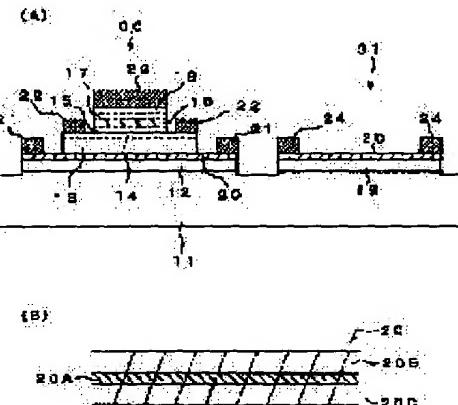
(21)Application number : 08-257093 (71)Applicant : SANYO ELECTRIC CO LTD  
(22)Date of filing : 27.09.1996 (72)Inventor : ASANO TETSUO

## (54) COMPOUND SEMICONDUCTOR DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a compound semiconductor device which can reduce the resistance value fluctuation of a resistance element incorporated in a microwave monolithic IC and can be manufactured easily with a high yield.

SOLUTION: A compound semiconductor device is constituted so that a heterojunction bipolar transistor 30 and a resistance element 31 can be formed on a semi-insulating semiconductor substrate 11. The element 31 is composed of a resistor 19 made of the same material as that used for the sub-collector layer 12 of the transistor 30 and the resistor 19 of the sub-collector layer 12 has a thin etching stop layer 20 made of a different material on the surface on a collector layer 13 side. The etching stop layer 20 has transition layers 20B and 20C the compositions of which continuously change to that of the collector layer 13 or sub-collector layer 12 on one or both sides of the different material layer 20A.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

**Japan Patent Office is not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] Compound semiconductor equipment characterized by providing the following in which the heterojunction bipolar transistor and the resistance element were formed on the half-insulation compound semiconductor substrate. A terrorism junction bipolar transistor is a collector layer to the above. It is the transition layer from which it has this collector layer and a high-concentration sub collector layer by the same conductivity type, and the aforementioned resistance element consists of the same quality of the material as the sub collector layer of a terrorism junction bipolar transistor to the above, the aforementioned sub collector layer equips a collector-layer side front face with the etching stop layer of different material, and this etching stop layer changes to the band gap of a collector layer or a sub collector layer, or composition continuously at the one side or both sides.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the microwave monolithic IC which started compound semiconductor equipment, especially carried the heterojunction bipolar transistor (HBT) and the resistance element on the half-insulation compound semiconductor substrate.

[0002]

[Description of the Prior Art] In recent years, development of the high power element which operates with a GHz band is demanded with the spread of devices which operates with ultrahigh frequency bands, such as a cellular phone. By using junction of different material, such as AlGaAs or GaInP/GaAs, for example, for an emitter / base junction, since the degree of electron transfer is high and the band gap of an emitter is larger than the band gap of the base, a heterojunction bipolar transistor (HBT) can take an electronic high injection efficiency. For this reason, the high power property of several W intensity is acquired with a GHz band, and it is observed as what suits the above-mentioned request.

[0003] For example, according to reference (IEEE ELECTRON DEVICE LETTERS, Vol 14, No10, October 1990PP 493-495), the patent No. 2522280 official report, etc., an example of the heterojunction bipolar transistor using compound semiconductor material is indicated. As for this, the laminating of an n+-GaAs sub collector layer, a n-GaAs collector layer, a p+-GaAs base layer, a n-AlGaAs emitter layer, the n+-GaAs emitter contact layer, etc. is carried out on the half-insulation GaAs substrate.

[0004] By the way, a resistance element is included in such a heterojunction bipolar transistor, and it is in the inclination monolithic-IC-ized. Since a sub collector layer has high high impurity concentration and ohmic contact can be easily taken with wiring metals, such as AuGe/nickel/Au, when monolithic-IC-ized, as a resistor of a resistance element, pattern processing is carried out and a sub collector layer is used for a necessary size. Moreover, since control of high impurity concentration is also easy for a sub collector layer, it is possible to be able to control sheet resistance to dozens of ohms / \*\* grade, and to form the resistor of arbitrary resistance by selection of a pattern configuration.

[0005] Drawing 3 shows an example of the cross-section structure of the microwave monolithic IC which integrated the heterojunction bipolar transistor and resistance element of the starting former. The heterojunction bipolar transistor 30 and the resistance element 31 are formed on the half-insulation GaAs substrate 11. The collector layer 13 which consists of an n type GaAs layer is formed on the sub collector layer 12 which the heterojunction bipolar transistor 30 becomes from an n+ type GaAs layer, and the emitter layer 16 which consists of an n type AlGaAs layer the base layer 14 which the upper layer turns into from a p type GaAs layer is formed, and is [ layer ] a dissimilar material further at the upper layer is formed. Electrodes 21 and 21 are ejection electrodes of a collector layer, electrodes 22 and 22 are ejection electrodes of the base, and an electrode 23 is an ejection electrode of an emitter layer.

[0006] On the other hand, a resistor 19 is formed using the layer of the same quality of the material as the sub collector layer 12 of a heterojunction bipolar transistor, and, as for the resistance element 31, electrodes 24 and 24 are the ejection electrode. In addition, as for connection wiring of a transistor and a resistance element, illustration is omitted in this drawing.

[0007] Drawing 4 shows the compound semiconductor substrate before forming a heterojunction bipolar transistor and a resistance element. The laminating of the n type AlGaAs layer 16 grade from which this substrate serves as the n+ type GaAs layer 12 which turns into a sub collector layer from the bottom on the half-insulation GaAs substrate 11, the n type GaAs layer 13 used as a collector layer, the p type GaAs layer 14 used as a base layer, and an emitter layer is carried out by EPI growth, respectively. By phot lithography, patterning of each EPI growth phase is carried out gradually, it \*\*\*\*\*'s and the heterojunction bipolar transistor 30 and resistance element 31 which are shown in drawing 3 are formed in the shape of a mesa.

[0008]

[Problem(s) to be Solved by the Invention] However, in order to form a resistor 19 using the sub collector layer of a heterojunction bipolar transistor, you have to remove the n type GaAs layer 13 which turns into a collector layer which is the upper layer by etching. However, the collector layer 13 and the sub collector layer 12 are constituted from an n type GaAs layer of this quality of the material by each, and it is only that the concentration differs. For this reason, if terminal point detection of etching is difficult and becomes over-etching, the thickness of a resistor 19 will become thin too much, and will become the cause which puts resistance out of order. moreover, an undershoot -- when dirty, an n type GaAs layer will remain, and it becomes the cause which it becomes impossible to take the ohmic contact to the ejection electrodes 24 and 24 of resistance, and a resistor 19, and puts resistance out of order similarly

[0009] For this reason, in the microwave monolithic IC which accumulated a conventional heterojunction bipolar transistor and a conventional resistance element, the variation in the resistance of a resistance element was large, may deviate from the tolerance, and had become the cause of a fall of the manufacture yield.

[0010] In view of the situation mentioned above, it succeeded in this invention, it reduces the variation in the resistance of a resistance element in the microwave monolithic IC which accumulated the heterojunction bipolar transistor and the resistance element, and aims at offering the compound semiconductor equipment which can manufacture the manufacture by the good manufacture yield as an easy thing.

[0011] [Means for Solving the Problem] In the compound semiconductor equipment with which the compound semiconductor equipment of this invention formed the heterojunction bipolar transistor and the resistance element on the half-insulation compound semiconductor substrate A terrorism junction bipolar transistor is equipped with a collector layer, and this collector layer and the high-concentration sub collector layer by the same conductivity type to the above. The aforementioned resistance element is what consists of the same quality of the material as the sub collector layer of a terrorism junction bipolar transistor to the above. The aforementioned sub collector layer equips a collector-layer side front face with the thin etching stop layer of different material, and this etching stop layer is characterized by preparing a collector layer or the transition layer which changes to composition of a sub collector layer continuously at the one side or both sides.

[0012] Since the sub collector layer of the transistor which constitutes a resistor equipped the collector-layer side front face with the thin etching stop layer of different material according to the composition of this invention mentioned above, the etchant which \*\*\*\*\*/\*\*\*\*s a collector layer can stop advance of etching in the etching stop layer of different material so that the semiconductor layer which constitutes a sub collector layer may not be \*\*\*\*\*/\*\*\*\*ed. With the selectivity of such the etching quality of the material of etchant, etching of a collector layer advances smoothly, and after etching of a collector layer is completed, the etching stop layer of different material exposes it to a front face. Since this layer does not \*\*\*\*\*/\*\*\*\*, etching by the etchant concerned can be terminated there. without it changes a sub collector layer, i.e., the thickness of a resistor, by over-etching by this -- moreover, an undershirt -- the resistance of the resistor based on the sheet resistance which a sub collector layer originally has is obtained, without a poor contact arising with the residue of a collector layer twisted dirty

[0013] In addition, since etching stop layers are a collector layer and a sub collector layer, and different material, band gaps differ in the portion. However, since the composition prepared the transition layer which changes from composition of an etching stop layer to composition of a collector layer or a sub collector layer continuously in the one side or both sides, a band gap can be changed continuously smoothly around an etching stop layer. For this reason, the electron which runs by the drift field can pass through the change portion of the band gap smoothly. For this reason, increase of the collector resistance of a heterojunction bipolar transistor can be prevented, and a RF property can be prevented from deteriorating in spite of existence of the etching stop layer of different material. Moreover, although an etching stop layer exists also in the resistor front face of a resistance element, by doubling high impurity concentration with a sub collector layer, good ohmic contact is obtained and the problem of the rise of resistance is not produced.

[0014] [Embodiments of the Invention] Hereafter, it explains, referring to a drawing about 1 operation form of this invention.

[0015] Drawing 1 (A) shows 1 cross-section composition of the compound semiconductor equipment of 1 operation form of this invention, and (B) shows the enlarged section of the etching stop layer 20 in (A). The point that the heterojunction bipolar transistor 30 and the resistance element 31 are carried on the half-insulation GaAs substrate 11 is the same as that of a Prior art. The sub collector layer of the heterojunction bipolar transistor 30 and the resistor 19 of a resistance element 31 consist of GaAs(es) of a collector layer and this quality of the material. This layer is a thing with about three  $3 \times 10^{18}/\text{cm}^3$  n+ type high impurity concentration, and is about 10,000Å in thickness.

[0016] The collector-layer side front face of the sub collector layer 12 is equipped with the etching stop layer 20 of ~~GaInP~~ which is different material, or AlGaAs. This layer consists of Ga<sub>0.51</sub>In<sub>0.49</sub>P or the aluminum<sub>0.25</sub>Ga<sub>0.75</sub>As layer which is different-material layer 20A, and transition layers 20B and 20C from which the composition changes to Ga<sub>1.00</sub>As<sub>1.00</sub> which is composition of composition of different-material layer 20A to a collector layer or a sub collector layer continuously smoothly. The thickness of different-material layer 20A is very as thin as about 100Å, and the thickness of transition layers 20B and 20C is about 300Å, respectively. The high impurity concentration of each class 20A, 20B, and 20C is about three  $3 \times 10^{18}/\text{cm}^3$  n+ type, and is the same concentration as the sub collector layer 12. This etching stop layer 20 is for stopping that etching of a collector layer 13 advances to the sub collector layer 12 with the selectivity of the etchant which \*\*\*\*\*/\*\*\*\*s a GaAs layer.

[0017] Both the collector layer 13 and the base layer 14 consist of GaAs(es), the collector layer 13 of the thickness is 5,000Å, and the base layer 14 is 1,000Å. A collector layer has the high impurity concentration of n type of  $5 \times 10^{16}/\text{cm}^3$ , and a base layer has the high impurity concentration of p type of  $4 \times 10^{19}/\text{cm}^3$ .

[0018] The emitter layer 16 is a layer of the different material which forms the base layer 14 and a heterojunction, and AlGaAs with a bigger band gap than GaAs of a base layer is used. Specifically, it is the layer which has the about three  $4 \times 10^{17}/\text{cm}^3$  high impurity concentration of n type of aluminum<sub>0.25</sub>Ga<sub>0.75</sub>As, and has the transition layers 15 and 17 to GaAs on the both sides. The thickness of each transition layer 15 and 17 is 300Å and about 500Å.

[0019] The best layer of an emitter layer is the cap layer 18, material is GaAs, it is n+ type of high-impurity-concentration  $5 \times 10^{18}/\text{cm}^3$ , and thickness is about 1,000Å. This layer is a layer for taking the emitter electrode 23 which consists of AuGe/nickel/Au, and ohmic contact. The base electrodes 22 and 22 which become the base layer 14 from Ti/Pt/Au are arranged,

and the ejection electrodes 21 and 21 of the collector layer which consists of AuGe/nickel/Au are arranged at the sub collector layer 12. It also becomes the both ends of a resistor 19, and takes out from AuGe/nickel/Au, and electrodes 24 and 24 are arranged.

[0020] The sheet resistance which it has originally [ of the sub collector layer 19 ] is controllable by progress of EPI growth technology with about 1% of error. According to the above-mentioned structure, since a sub collector layer (resistor 19) does not \*\*\*\*\* in the case of etching of a collector layer, the resistance of a resistance element 31 is decided only by the sheet resistance of the sub collector layer 12, and the lateral error of phot lithography. Therefore, the variation in resistance can be suppressed small and it can manufacture with good repeatability. Moreover, since a transistor 30 has the heterojunction structure of a compound semiconductor, it can acquire an about [ 1-2W ] high power property with a GHz band.

[0021] Next, the manufacture method of this compound semiconductor equipment is explained. The substrate which grew various compound semiconductor material epitaxially is prepared on the half-insulation substrate first shown in drawing 2 (A). EPI growth of the GaAs layer from which this substrate serves as the sub collector layer 12 on the half-insulation GaAs substrate 11 is carried out, EPI growth of GaInP or the AlGaAs layer which turns into the thin etching stop layer 20 on the collector side front face is carried out, EPI growth of the n type GaAs layer which turns into a collector layer 13 further at the upper layer is carried out, and EPI growth of the p type GaAs layer which turns into the base layer 14 further at the upper layer is carried out. The etching stop layer 20 consists of transition layers 20B and 20C from which composition changes continuously to GaInP or AlGaAs layer (different-material layer) 20A, and GaAs by which the laminating was carried out to these both sides.

[0022] Furthermore, EPI growth of the transition layer 15 from a GaAs layer to an AlGaAs layer is carried out at the upper layer of the base layer 14, EPI growth of the big n type AlGaAs layer of a band gap is further carried out at the upper layer as compared with the base layer used as the nucleus of a heterojunction bipolar transistor, EPI growth of the transition layer 16 to GaAs is carried out, and, as for the upper layer, EPI growth of the n+ type GaAs layer which turns into the cap layer 18 at the upper layer is carried out further.

[0023] Next, as shown in drawing 2 (B), patterning is carried out with phot lithography and the mesa etch of the layers 15, 16, 17, and 18 for forming an emitter region is performed. Next, as shown in drawing 2 (C), patterning of the base layer 14 and the collector layer 13 is similarly carried out with phot lithography, and a mesa etch is performed.

[0024] This etching uses the etchant which \*\*\*\*\*'s GaAs which is the material of the base layer 14 and a collector layer 13, and does not \*\*\*\*\* InGaP or the AlGaAs layer which constitutes the etching stop layer 20 and which has selectivity. For example, as etchant which \*\*\*\*\*'s GaAs and does not \*\*\*\*\* InGaP, the etchant of a sulfuric-acid system or a phosphoric-acid system is suitable. Moreover, there is etchant of a citric-acid system as etchant which \*\*\*\*\*'s GaAs and does not \*\*\*\*\* AlGaAs. Advance of etching can be stopped completely there, without the etching stop layer 20 being exposed to a front face, and \*\*\*\*\*'ing the sub collector layer 12, when etching of a collector layer 13 fully advances by using the etchant which has such selectivity.

[0025] Next, the mesa etch for forming the sub collector layer 12 and a resistor 19 is performed. Patterning also of this process is carried out with phot lithography after a resist application, and after removing this portion using the etchant which \*\*\*\*\*'s the etching stop layer 20 first, a mesa etch is performed using the etchant which \*\*\*\*\*'s the sub collector layer 12 which consists of a GaAs layer.

[0026] Next, as shown in drawing 1, electrode attachment of an emitter electrode, a collector electrode, a resistance electrode, etc. is performed. This performs patterning with phot lithography after applying a photoresist, carries out the vacuum evaporation of AuGe/nickel/Au, and forms the predetermined electrodes 22, 23, and 24 by the lift off. And contact in a semiconductor layer is ensured with an alloy. Under the present circumstances, although the layer 20 which consists of n type GaInP or AlGaAs exists in the front face of the sub collector layer 12 and a resistor 19, since the high impurity concentration of this layer is equal to the sub collector layer 12, problems, such as increase of resistance, are not produced.

[0027] Next, electrode attachment of a base electrode is performed. The vacuum evaporation of Ti/Pt/Au is similarly carried out to a resist after forming a predetermined pattern with phot lithography, and this also forms the predetermined electrode 21 by the lift off, and ensures contact in a semiconductor layer with an alloy.

[0028] Furthermore, about 2,000A for example, of SiN films is put on the whole surface by CVD, and patterning which carries out opening of the contact portion with phot lithography is performed. Furthermore, after phot lithography performs patterning of a circuit pattern similarly, the vacuum evaporation of Ti/Pt/Au is carried out and a wiring electrode, a bonding pad electrode, etc. are formed by the lift off. Thereby, wiring connection between a heterojunction bipolar transistor and a resistance element etc. is made, and a microwave monolithic IC is completed.

[0029] In addition, although the above operation form forms transition layers 20B and 20C for the etching stop layer 20 in different-material layer 20A and its both sides, you may make it prepare a transition layer only in one side by the side of a collector layer or a sub collector layer.

[0030] Moreover, although the example using the different material which becomes an etching stop layer from InGaP or AlGaAs was explained using GaAs as a collector layer and a sub collector layer, the meaning of this invention is not limited to this. It is possible to use the etchant which has the selectivity which \*\*\*\*\*'s the material which constitutes a collector layer and does not \*\*\*\*\* the material which constitutes an etching stop layer, and if it is the combination of the material which can ensure [ easily and ] the end of etching of a collector layer in the etching stop layer of different material, of course, the meaning of this invention can be applied. Thus, various deformation examples are possible, without deviating from the meaning of this invention.

[0031]

[Effect of the Invention] this invention prepares the etching stop layer of different material between the collector layer of a heterojunction bipolar transistor, and a sub collector layer in the semiconductor device which formed the heterojunction bipolar transistor and the resistance element on the half-insulation compound semiconductor substrate as mentioned above. Thereby, in case a resistance element is formed using a sub collector layer, etching removal only of the collector layer can be carried out completely, without \*\*\*ing a sub collector layer. Therefore, change of sheet resistance of the resistor formed with the material of a sub collector layer and this quality of the material can be suppressed, and resistance can form the resistance element included in tolerance easily.

[0032] Although it has the etching stop layer of different material between sub collector layers, since this layer is equipped with the transition layer which changes to composition of a collector layer or a sub collector layer continuously, the composition can change [ layer ] a band gap continuously smoothly in this portion. Therefore, the electron which carries out the high-speed run of the collector field by the drift field can be made to be smoothly passed through the change portion of a band gap. Thereby, increase of a collector resistance can be prevented and degradation of the RF property accompanying \*\* between the different material from which a band gap differs can be prevented.

[0033] So, the microwave monolithic IC which carried the heterojunction bipolar transistor which has the output of watt order with a GHz band, and the resistance element can be easily manufactured by the good yield.

---

[Translation done.]

\* NOTICES \*

**Japan Patent Office is not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] (A) the cross section of the compound semiconductor equipment of 1 operation gestalt of this invention, and (B) -- the enlarged view of the etching stop layer

[Drawing 2] Explanatory drawing showing the manufacturing process of the above-mentioned compound semiconductor equipment.

[Drawing 3] The cross section of conventional compound semiconductor equipment.

[Drawing 4] Explanatory drawing of the conventional EPI growth substrate.

---

[Translation done.]

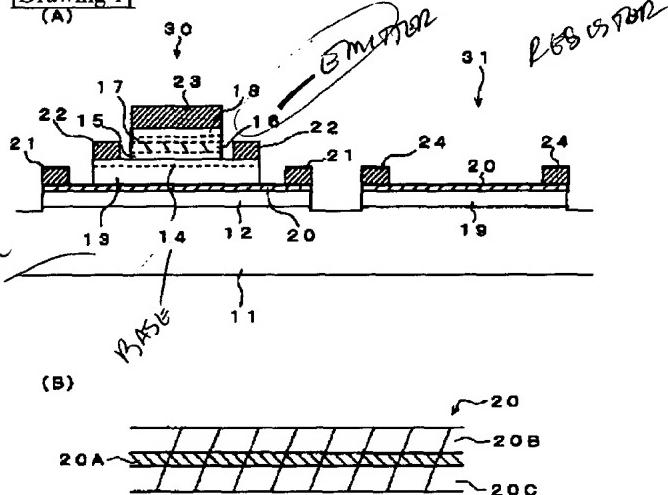
\* NOTICES \*

Japan Patent Office is not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

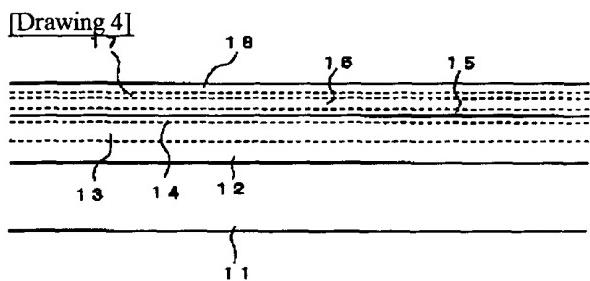
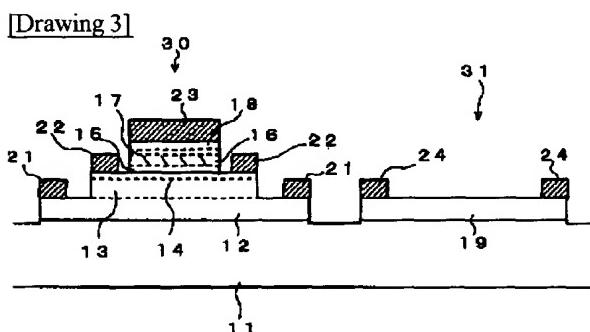
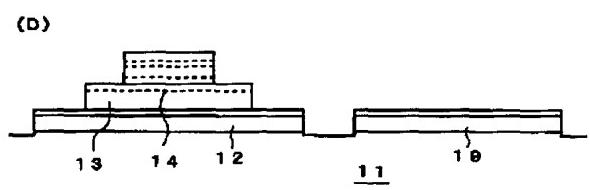
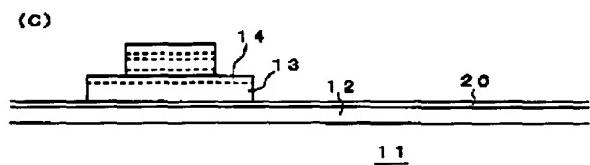
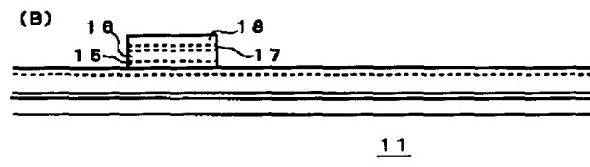
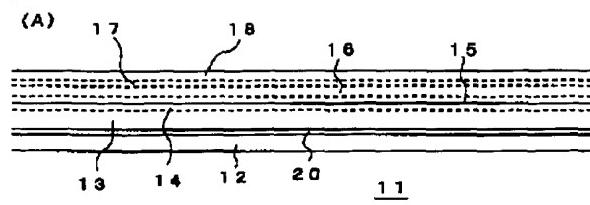
DRAWINGS

[Drawing 1]



11 半絶縁性基板	20A 面材質層
12 サブコレクタ層	20B, 20C 邊縫層
13 コレクタ層	21, 22, 23, 24 電極
14 ベース層	30 ヘテロ接合バイポーラ トランジスタ
15 エミッタ層	
16 拡抗体	31 拡抗素子
19 エッチングストップ層	
20 エッティングストップ層	

[Drawing 2]



[Translation done.]